

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-050598

(43)Date of publication of application : 21.02.1995

(51)Int.Cl.

H03M 13/22

H04L 1/00

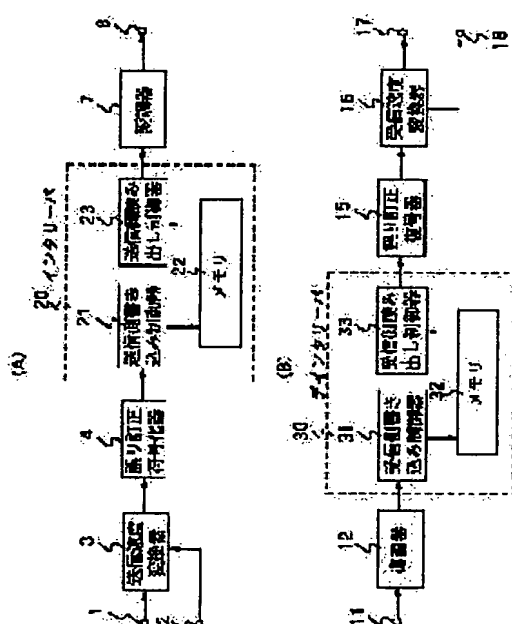
(21)Application number : 05-215289

(71)Applicant : NEC CORP

(22)Date of filing : 05.08.1993

(72)Inventor : MIZOGUCHI SHOICHI

## (54) BIT INTERLEAVE TRANSMISSION SYSTEM



(57)Abstract:

PURPOSE: To provide a bit interleave transmission system which is applied to the digital radio communications and can transmit even the auxiliary signal data that are fixed at the same value without causing any abnormal spectrum to a modulated wave.

CONSTITUTION: A write controller 21 shifts an input data string to the right by one bit for each frame against a memory 22 by means of a write start address. Then the controller 21 writes a data train on the auxiliary signal of each frame with the bit data positions shifted in sequence. A read controller 23 reads the stored data string out of the memory 22 in sequence

and in the depth direction and takes out an interleaved data string. A write controller 31 and a read controller 33 of the receiver side reverse the operations of both controllers 21 and 23 to take the deinterleaved data out of a memory 32.

## 対応なし、英抄

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-50598

(43) 公開日 平成7年(1995)2月21日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 M 13/22		8730-5 J		
H 0 4 L 1/00	F	9371-5 K		

審査請求 有 請求項の数 3 F D (全 8 頁)

(21) 出願番号 特願平5-215289

(22) 出願日 平成5年(1993)8月5日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 溝口 祥一

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 弁理士 松浦 兼行

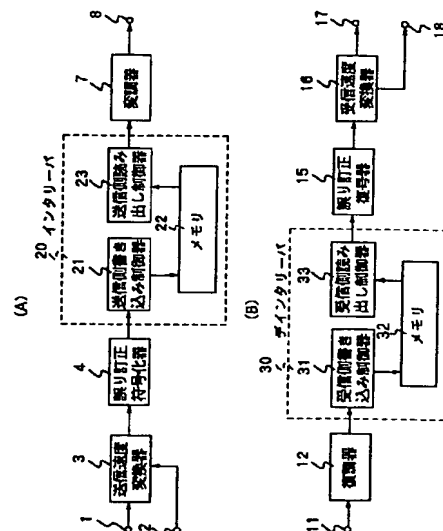
## (54) 【発明の名称】 ビットインタリーブ伝送方式

## (57) 【要約】

【目的】 本発明はディジタル無線通信に用いられるビットインタリーブ伝送方式に関し、補助信号データが同一値に固定されているときでも変調波に異常スペクトラムを生じさせることなく伝送できるビットインタリーブ伝送方式を実現することを目的とする。

【構成】 書き込み制御器21はメモリ22に対して入力データ列を1フレーム毎に1ビットずつ書き込み開始アドレスが右ヘシフトさせて、各フレームにおける補助信号のデータ列の各ビットデータ位置を順次ずらして書き込む。読み出し制御器23はメモリ22から記憶データ列を深さ方向に順次読み出してインタリーブされたデータ列を取り出す。受信側の書き込み制御器31と読み出し制御器33は送信側の読み出し制御器23と書き込み制御器21と逆の操作によりメモリ32からデインタリーブされたデータを取り出す。

本発明の一実施例のブロック図



## 【特許請求の範囲】

【請求項1】 送信側において伝送すべき主情報に関する主信号データ列と、固定パターン又はランダムパターンの補助信号データ列とが少なくとも多重化されてフレームを構成するデータ列のビットデータ位置を並べ換えた後変調器で変調して送信し、受信側において受信した変調波を復調器で復調して得たデータ列のビットデータ位置を、送信側とは逆の操作により元のデータ順に並び換えた後、前記主信号データ列と前記補助信号データ列とに分離するビットインタリーブ伝送方式において、前記主信号データ列と補助信号データ列とが少なくとも多重された第1のデータ列の書き込みと読み出しが行われる第1のメモリと、該第1のデータ列が入力され各フレームにおける該補助信号のデータ列の各ビットデータ位置を順次ずらして該第1のメモリに書き込む第1の書き込み手段と、該第1のメモリに書き込まれた第1のデータ列を深さ方向に順次読み出してインタリーブされた第2のデータ列を取り出して前記変調器へ出力する第1の読み出し手段とを送信側に備え、前記復調器より取り出した前記第2のデータ列が書き込み及び読み出される第2のメモリと、該第2のデータ列を該第2のメモリの深さ方向に順次に書き込ませる第2の書き込み手段と、該第2のメモリに書き込まれた第2のデータ列を前記第1の書き込み手段と同じアドレス指定順に従って読み出す第2の読み出し手段とを受信側に備えることを特徴とするビットインタリーブ伝送方式。

【請求項2】 前記第1及び第2のデータ列の各フレームは、前記主信号データ列と補助信号データ列から生成された誤り訂正用シンドロームビットが該主信号データ列と補助信号データ列に多重された構成であり、前記受信側において前記第2の読み出し手段により前記第2のメモリから読み出された第3のデータ列の該主信号データ列及び補助信号データ列を該誤り訂正用シンドロームビットを用いて訂正する誤り訂正復号器を有することを特徴とする請求項1記載のビットインタリーブ伝送方式。

【請求項3】 前記第1の書き込み手段は、前記第1のメモリの前記第1のデータ列の各フレームの書き込みアドレス開始位置を、1フレーム毎に一定値ずつシフトして該第1のデータ列を書き込む手段であり、前記第2の読み出し手段は、該第1の書き込み手段と同じアドレス順で該第2のメモリからデータを読み出すことを特徴とする請求項1又は2記載のビットインタリーブ伝送方式。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明はビットインタリーブ伝送方式に係り、特にデジタル無線通信に用いられるビットインタリーブ伝送方式に関する。

## 【0002】

【従来の技術】近年、デジタル無線通信においては、周波数の有効利用と伝送容量の増大を目的として多値変調方式を導入しているが、それに伴い外部からの干渉が増大するためにその対策が要求されている。特にレーダ波のスプリアスによる干渉は、レーダパルス幅の間、誤りが連続する、所謂バースト誤りが生じるため、大きな問題となる。このバースト誤りを軽減するために、誤り訂正方式にビットインタリーブ方式を併用することが従来より知られている（例えば特開昭58-181348号、特開昭63-180222号各公報など）。

【0003】図4は上記の誤り訂正方式にビットインタリーブ方式を併用した従来のビットインタリーブ伝送方式の一例のブロック図で、(A)は送信部、(B)は受信部をそれぞれ示す。同図(A)において、端子1には外部より主信号のデジタルデータ列が入力され、端子2には補助信号のデジタルデータ列が入力される。

【0004】この補助信号としては、例えば中継局間の打ち合わせ回線、自局へのアラーム伝送、ルート識別符号などの伝送に用いられる。このうち、打ち合わせ回線はランダム化されているが、他は一定の固定パターンとして伝送される。

【0005】上記の2つのデジタルデータ列は送信速度変換器3にそれぞれ入力されて多重化され、かつ、速度変換された後、誤り訂正符号化器4に入力され、ここで誤り訂正用シンドロームのビットが付加される。この割合は、主信号データmビット、補助信号データnビットに対し、シンドロームのビットがsビット付加される。つまり、誤り訂正のための1フレームは $K (= m + n + s)$ ビットで構成されるので、送信速度変換器3の出力データ速度（クロック周波数）は入力 $(m + n + s) / (m + n)$ 倍になっている。

【0006】誤り訂正符号化器4において、送信速度変換器3の出力データ列の $(m + n)$ ビット毎に、誤り訂正用シンドロームsビットが計算されて付加されたフレームフォーマットのデータは、インタリーブ制御器5を介してメモリ6にJビット連続して書き込まれる。このJは $(D \times K)$ に等しく、インタリーブ深さと称される。

【0007】メモリ6に書き込まれたデータは、まず第1ビットから第 $\{K \times (D - 1) + 1\}$ ビットまでKビットおきに読み出され、次に第2ビットから第 $\{K \times (D - 1) + 2\}$ ビットまでKビットおきに読み出され、以下同様の動作が繰り返されてデータの並べ換え、すなわちインタリーブが行われる。

【0008】上記のメモリ6の書き込みと読み出しによるインタリーブ方法を模式的に示したのが図5である。同図において、数字はメモリ6の入力データ列の各ビットデータの入力順を示しており、また、ここでは $K = 10$ 、 $D = 10$ 、 $J = 100$ 、 $m = 5$ 、 $n = 2$ 、 $s = 3$ の例を示している。

【0009】書き込み時は、入力データは図の左端から右端に向かって、かつ、上段から下段に向かって数字の順に、すなわち1, 2, 3, . . . , 99, 100の順でそのまま書き込まれる。ここで、黒丸を付したビットは各フレームで最初に書き込まれるビットである。一方、読み出し時は、図5の縦方向に左側から右側に向かって読み出される。従って、読み出しは1, 11, 21, . . . , 91, 2, 12, . . . , 92, 3, . . . , 99, 10, 20, . . . , 90, 100の順で各ビットデータが読み出される。

【0010】再び図4(A)に戻って説明するに、上記のようにしてメモリ6からインタリーブされたデータ列S1が読み出される。このデータ列S1は変調器7に入力されて所定の変調方式で変調された後、出力端子8より送信機(図示せず)へ出力され、更に送信アンテナ(図示せず)を介して電波として無線送信される。

【0011】次に、受信側の動作について説明する。受信側では図4(B)に示す入力端子11に、受信アンテナ及び受信機(いずれも図示せず)をそれぞれ介して変調波が入力され、更にこれより復調器12に入力されてデジタルデータ列S2が復調される。このデジタルデータ列S2はデインタリーブ制御器13を介してメモリ14に書き込まれる。

【0012】メモリ14に書き込まれたデジタルデータ列S2は、デインタリーブ制御器13により、元のデータ順に再度並び換えられる(デインタリーブされる)。このメモリ14の書き込みと読み出しによるデインタリーブ方法を模式的に示したのが図6である。同図において、書き込み時は縦方向に左側から右側に向かって読み出される。すなわち、前記インタリーブされているデジタルデータ列S2が図6の縦方向の10アドレスおき毎に書き込まれる。

【0013】これにより、メモリ14に書き込まれたデータは送信側のメモリ6の書き込み時と同じ順でデータが書き込まれた状態となる。そこで、メモリ14の読み出し時は図6の横方向に左側から右側に向かって、かつ、上段から下段に向かって読み出される。図6の黒丸は各フレームの最初に読み出されるビットデータで、この読み出しによりデータは再びインタリーブされる前のもとの順序に戻されることとなる。

【0014】メモリ14からデインタリーブされて読み出されたデジタルデータ列は、図4(B)に示すデインタリーブ制御器13を介して誤り訂正復号器15に供給され、ここでシンドロームビットを用いて誤り訂正された後、受信速度変換器16に供給される。受信速度変換器16はその入力データを主信号データビットと補助信号ビットとにそれぞれ分離し、かつ、データ速度を入力データの $(m+n)/(m+n+s)$ 倍に変換し、主信号データビットは端子17へ出力し、補助信号ビットは端子18へ出力する。

【0015】このようにインタリーブすると、例えばレーダ干渉により3連続のバースト誤りが、図5に示した読み出しデータ1, 11, 21に生じた場合、受信側でのデインタリーブによりこれらのデータは1フレームに1個の誤りに分散されるため、誤り訂正方式が最も簡単な単一訂正方式であっても、訂正することができ、誤りなく伝送することができる。もし、インタリーブを行わないと3連続のバースト誤りは、単一誤り訂正方式では訂正することができないため、誤りとして出力されてしまう。

【0016】このように、従来方式では、インタリーブ方式を誤り訂正方式と併用することにより、レーダ干渉等で生じるバースト誤りをランダム誤りに変換して誤り訂正が行える。

【0017】

【発明が解決しようとする課題】しかるに、上記の従来のビットインタリーブ伝送方式では、外部より入力される補助信号が状況に応じて使用されたりされなかったりする場合があり、また値が一定の場合があるため、正常な復調が困難になることがある。すなわち、補助信号が使用されなかったり、値が一定の場合には、補助信号データ列はすべて"0"又は"1"となる。

【0018】この場合に、前記インタリーブによるデータの並び換えを行うと、補助信号のタイムスロットを連続して送信することになり、パターンのランダム性が失われて変調波に異常が現われる。例えば、図5に示したように、1フレームのうち第6ビット及び第7ビットが補助信号用タイムスロットとして割り当てられている場合、補助信号の値が"0"のままだとすると、インタリーブによって、6, 16, . . . , 96, 7, 17, . . . , 97と連続して20ビット"0"が連続して送信される。

【0019】このため、上記の場合、従来方式では100ビットのうち20ビットが"0"連続という強いパターン相関が生じ、出力端子8より出力される変調波は本来は図7(A)に示すスペクトラムとなるべきところ、同図(B)に示す如くラインスペクトルを生じた異常スペクトラムを生じ、正常な復調が困難になる。

【0020】本発明は上記の点に鑑みなされたもので、補助信号が連続して伝送されないようなインタリーブを行うことにより、上記の課題を解決したビットインタリーブ伝送方式を提供することを目的とする。

【0021】

【課題を解決するための手段】本発明は上記の目的を達成するため、伝送すべき主情報に関する主信号データ列と、固定パターン又はランダムパターンの補助信号データ列とが少なくとも多重化されてフレームを構成する第1のデータ列の書き込みと読み出しが行われる第1のメモリと、第1のデータ列が入力され各フレームにおける補助信号のデータ列の各ビットデータ位置を順次ずらし

10

20

30

40

50

て第1のメモリに書き込む第1の書き込み手段と、第1のメモリに書き込まれた第1のデータ列を深さ方向に順次読み出してインタリーブされた第2のデータ列を取り出して変調器へ出力する第1の読み出し手段とを送信側に備え、復調器より取り出した第2のデータ列が書き込み及び読み出される第2のメモリと、第2のデータ列を第2のメモリの深さ方向に順次書き込ませる第2の書き込み手段と、第2のメモリに書き込まれた第2のデータ列を第1の書き込み手段と同じアドレス指定順に従って読み出す第2の読み出し手段とを受信側に備える構成としたものである。

【0022】

【作用】本発明では、前記第1のデータ列が補助信号のデータ列の各ビットデータ位置が順次ずらされて第1のメモリに書き込まれ、第1の読み出し手段により第1のメモリからデータの深さ方向に順次読み出されることによりインタリーブされた第2のデータ列に変換して伝送するようにしたため、第2のデータ列において補助信号データ列が連続するタイムスロット数(ビット数)を従来に比べ大幅に短くすることができる。

【0023】

【実施例】図1は本発明の一実施例のブロック図で、同図(A)は送信側の構成、(B)は受信側の構成を示す。同図中、図4と同一構成部分には同一符号を付してある。図1(A)において、端子1に入力された伝送すべき主情報に関する主信号データ列と、端子2に入力された固定パターン又はランダムパターンの補助信号データ列とはそれぞれ送信速度変換器3に入力され、ここで1フレーム当り主信号データ列mビット、補助信号データ列nビットの割合で多重されると共に1フレーム当りsビットの誤り訂正用シンドロームビットのタイムスロットが付加される。

【0024】送信速度変換器3の出力データ列は誤り訂正符号化器4に入力され、ここで主信号データ列mビットと補助信号データ列nビットとから所定の生成多項式を用いた計算によりsビットの誤り訂正用シンドロームビットが生成されて、主信号データ列mビットと補助信号データ列nビットに多重される。以上の動作は従来と同様である。

【0025】本実施例は、この送信速度変換器3の出力データ列(前記第1のデータ列)に対して、インタリーブ20により従来と異なるインタリーブを行う点に特徴を有する。すなわち、インタリーブ20は送信側書き込み制御器21、第1のメモリ22及び送信側読み出し制御器23から構成されており、メモリ22に対して送信側書き込み制御器21が上記第1のデータ列を各フレームにおける補助信号のデータ列の各ビットデータ位置を順次ずらして書き込み、送信側読み出し制御器23がメモリ22から第1のデータ列を深さ方向に順次読み出してインタリーブされた第2のデータ列を取り出す。

【0026】このインタリーブ20によるメモリ22の書き込み及び読み出し制御について、図2と共に更に詳細に説明する。図2では図5及び図6と同様にK=10、D=10、J=100、m=5、n=2、s=3の例を示しており、補助信号データは各フレームの第6ビット目と第7ビット目に多重されているものとする。また、黒丸は各フレームでの最初のデータビットを示す。

【0027】書き込み制御器21はメモリ22の第1のデータ列の各フレームの書き込みアドレス開始位置を、1フレーム毎に1ビットずつシフトして第1のデータ列をメモリ22に書き込む。すなわち、最初の1フレームは図2の最上段の左から右方向へ模式的に示すように、入力データをそのまま書き込んで行く。

【0028】第2フレームは図2の2段目に模式的に示すように、そのフレームの先頭データビット「11」は従来の書き込み開始アドレスよりも1ビット大なる値に設定されるため、図2の2段目の左から2番目のアドレス位置に書き込まれ、以下各データが順次に書き込まれて行き、そのフレームの最終データビット「20」は第2フレームの従来の書き込み開始アドレスである図2の2段目の左端のアドレス位置に書き込まれる。

【0029】第3フレームは図2の3段目に模式的に示すように、書き込み制御器21により書き込み開始アドレスがその時点での書き込みアドレスよりも更に1ビット大なる値(従来の書き込み開始アドレスより2ビット大なる値)に設定されるため、そのフレームの先頭データビット「21」は左から3番目のアドレス位置に書き込まれ、以下3フレームの各データが書き込まれる。

【0030】以下、上記と同様にして入力データ列は1フレーム毎に1ビットずつ書き込み開始アドレスが右へシフトされることにより、図2に模式的に示す如く各データがメモリ22に書き込まれる。従って、図2の縦方向である深さ方向には、メモリ22のメモリマップ上、前記補助信号データ列が従来の如く3ビット以上整列することはない。

【0031】次に、メモリ22の読み出し時には読み出し制御器23により、図2の縦方向に(深さ方向に)、かつ、左側から右側に向かってメモリの記憶データは順次に読み出されることにより、データ配列が並び換えられた第2のデータ列とされる。すなわち、図2の数値の昇順で入力された第1のデータ列は、上記の書き込み及び読み出し制御により、1、20、29、38、47、56、65、74、83、92、2、11、...、100、10、19、28、37、46、55、64、73、82、91の順に並び換えられた第2のデータ列とされる。

【0032】これにより、この第2のデータ列中の補助信号データは、最大で3ビットしか連続しない(すなわち、87、96、6)。この第2のデータ列S3は読み出し制御器23を介して図1(A)の変調器7に供給さ

れ、ここで位相変調又は多値直交振幅変調等の所定の変調方式で変調された後、変調波として送信機及び送信アンテナ（いずれも図示せず）を介して送信される。

【0033】一方、受信側では受信アンテナ及び受信機（いずれも図示せず）を介して受信された信号は図1（B）の端子11から復調器12に供給されて復調され、ここで前記第2のデータ列S3に相当するデータ列S4とされる。この復調データ列S4はデインタリーブ30に入力される。

【0034】デインタリーブ30は受信側書き込み制御器31、第2のメモリ32及び受信側読み出し制御器33より構成されており、図3に模式的に示す方法により上記のデータ列S4をメモリ32に書き込んだ後、読み出して元の順番に再度並べ換えられたデータ列を得る。なお、図3において黒丸は各フレームにおいて最初に読み出すデータビットを示す。

【0035】すなわち、上記のデータ列S4は受信側書き込み制御器31によりメモリ32に図3の縦方向に（深さ方向に）、かつ、左側から右側に向かって順次書き込まれていく。次に、受信側読み出し制御器33は前記送信側書き込み制御器21と同様の方法により、メモリ32の読み出しアドレスを1フレーム読み出す毎に1ビットずつ読み出し開始アドレスが右へシフトされるように制御してメモリ32の記憶データを読み出す。

【0036】このようにして、メモリ32から前記第1のデータ列と同じ順番に配列され直した第3のデータ列が読み出される。この第3のデータ列は読み出し制御器33を介して図1（B）の誤り訂正復号器15に供給され、ここで誤り訂正用シンδροームを用いて誤り訂正された後受信側速度変換器16に入力されてそれぞれ主信号デジタルデータ列と補助信号デジタルデータ列とに分離されて端子17、18へ出力される。

【0037】従って、本実施例によれば、補助信号データが使用されないか又は固定値であるときであっても、その固定値は最大でも3ビットしか連続しないため、変調スペクトラムには異常が発生することなく、従って受信側において正常に復調することができる。

【0038】また、本実施例でもバースト誤り訂正能力は従来方式と同じ能力を維持することができる。例えば、送受信される第2のデータ列中の図2の1、20、29の3ビット連続するデータにバースト誤りが発生し

た場合、デインタリーブ操作によりそれぞれ1フレームに1カ所の誤りに分散されるため、最も簡単な単一誤り訂正方式でも訂正することができる。

【0039】

【発明の効果】以上説明したように、本発明によれば、送受信されるインタリーブされた第2のデータ列において補助信号データ列が連続するタイムスロット数（ビット数）を従来に比べ大幅に短くするようにしたため、補助信号がランダムパターンでなく、固定又は“0”あるいは“1”の一定パターンであっても、変調波に異常スペクトラムを生じることを防止することができるものである。

【図面の簡単な説明】

【図1】本発明の一実施例のブロック図である。

【図2】本発明の送信側インタリーブ方法を模式的に説明する図である。

【図3】本発明の受信側デインタリーブ方法を模式的に説明する図である。

【図4】従来の一例のブロック図である。

【図5】従来を送信側インタリーブ方法を模式的に説明する図である。

【図6】従来を受信側デインタリーブ方法を模式的に説明する図である。

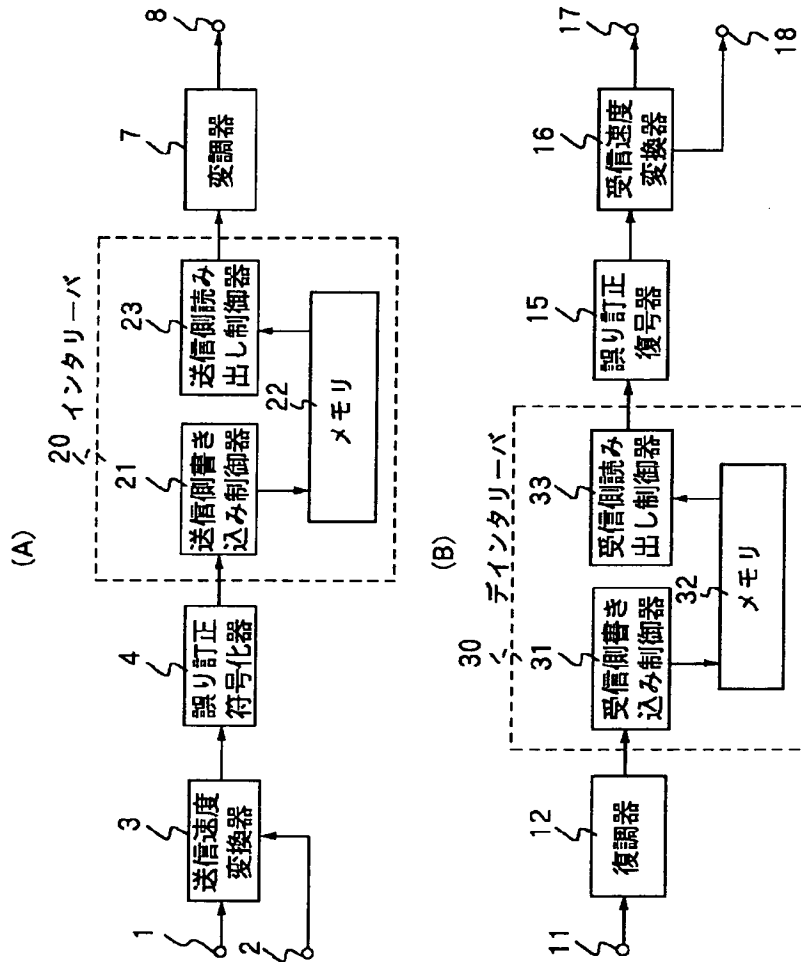
【図7】従来課題説明変調スペクトラム図である。

【符号の説明】

- 1 主信号データ入力端子
- 2 補助信号データ入力端子
- 4 誤り訂正符号化器
- 7 変調器
- 11 変調波入力端子
- 12 復調器
- 15 誤り訂正復号器
- 20 インタリーブ
- 21 送信側書き込み制御器
- 22 第1のメモリ
- 23 送信側読み出し制御器
- 30 デインタリーブ
- 31 受信側書き込み制御器
- 32 第2のメモリ
- 33 受信側読み出し制御器

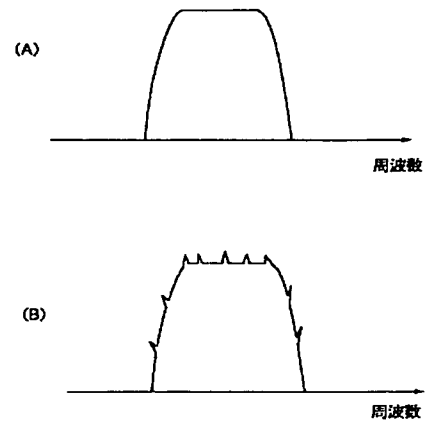
【図1】

本発明の一実施例のブロック図



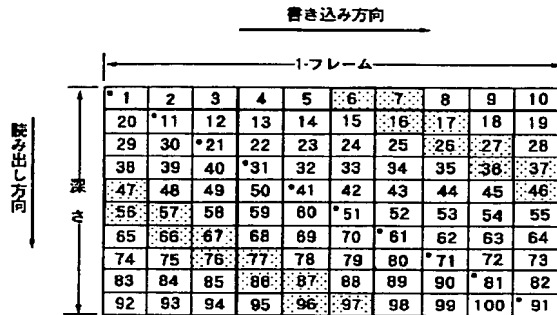
【図7】

従来の課題説明用変調スペクトラム図



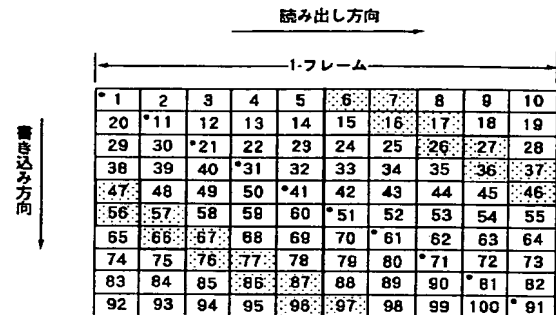
【図2】

図1の送信側インタリーブ方法を模式的に示す図



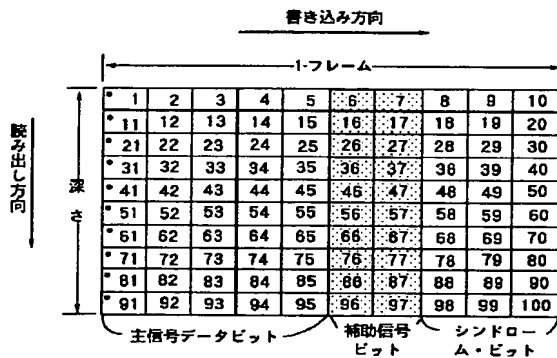
【図3】

図1の受信側デインタリーブ方法を模式的に示す図



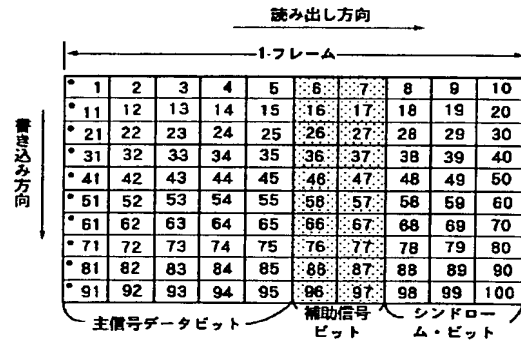
【図5】

従来の送信側インタリーブ方法を模式的に示す図



【図6】

従来の受信側デインタリーブ方法を模式的に示す図





【図4】

従来の一例のブロック図

